

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-255933

⑤ Int. Cl.⁴G 06 F 9/38
12/08

識別記号

3 5 0

庁内整理番号

X-7361-5B
C-7010-5B

⑬ 公開 平成1年(1989)10月12日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 掃出し制御方式

⑰ 特 願 昭63-84616

⑱ 出 願 昭63(1988)4月6日

⑲ 発 明 者 宮 沢 文 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 柳 川 信

明 細 書

1. 発明の名称

掃出し制御方式

2. 特許請求の範囲

(1) 複数回のストア動作で一命令関連の情報を格納するストアバッファ手段と、このストアバッファ手段に格納される一命令関連の情報の最終回のストア動作に回答して値を増加させるか減少させ、前記ストアバッファ手段からの掃出し動作に回答して値を減少させるか増加させるストアバッファ掃出しポインタ手段と、このストアバッファ掃出しポインタ手段の値が前記ストアバッファ手段からの掃出し対象となる命令関連の情報が無いことを示しているとき前記ストアバッファ手段からの掃出し動作を抑止する抑止手段とを含むことを特徴とする掃出し制御方式。

3. 発明の詳細な説明

技術分野

本発明は掃出し制御方式に関し、特に1回以上

のストアを必要とする命令の演算処理において、ストアバッファから主記憶装置への掃出し制御方式に関する。

従来技術

従来のパイプライン処理型情報処理装置でのパイプライン処理は次のようにして行なわれる。第4図を参照すると、このパイプライン処理の一例では、アドレス手段により命令キャッシュから命令を取出す命令取出(If)ステージ、このステージで取出された命令を命令レジスタに格納したあとこの命令のオペランドにもとづきアドレス加算器で論理アドレスを生成するオペランドアドレス(AC)ステージ、このステージで生成された論理アドレスを論理アドレスレジスタに格納したあとアドレス変換バッファで論理アドレスを物理アドレスに変換するアドレス変換(AI)ステージ、このステージで変換された物理アドレスを物理アドレスレジスタに格納したあと、この物理アドレスでオペランドキャッシュをアクセスしオペランドを読出すオペランドキャッシュアクセス(CA)ス

テージ、このステージで読出されたオペランドを実行レジスタに格納したあと演算器で演算する演算実行(EX)ステージ、およびこの(EX)ステージで演算された結果を格納する結果格納(ST)ステージの6つのステージに分割されている。

第5図を参照すると、従来この種のパイプライン処理型情報処理装置では、一命令が全てストアバッファに格納し終るまで主記憶装置への格納が抑止されていた。すなわち4バイトである命令Aは、タイミング10で命令Aの4バイト目が格納されてから次のタイミング11で命令Aの1バイト目が掃出される。また2バイト命令である命令Bのストアバッファから主記憶装置への掃出しは、命令Aの全てが掃出された後、タイミング15で行なわれることになる。

よって、命令Aのように一命令で多くのストア処理をしなければならない命令では、命令リトライ不可期間が長くなるという欠点がある。

発明の目的

本発明の目的は上述の欠点を除去するようにし

た掃出し制御方式を提供することにある。

発明の構成

本発明による掃出し制御方式は、複数回のストア動作で一命令関連の情報を格納するストアバッファ手段と、このストアバッファ手段に格納される一命令関連の情報の最終回のストア動作に反応して値を増加させるか減少させ、前記ストアバッファ手段からの掃出し動作に反応して値を減少させるか増加させるストアバッファ掃出しポインタ手段と、このストアバッファ掃出しポインタ手段の値が前記ストアバッファ手段からの掃出し対象となる命令関連の情報がないことを示しているとき前記ストアバッファ手段からの掃出し動作を抑止する抑止手段とを含む構成である。

実施例

次に本発明の一実施例について詳細に説明する。

まず、本発明の一実施例の前提となる回路について簡単に説明する。第1図を参照すると、命令取出し(IF)ステージの処理のため主記憶装置8から読出された命令を格納する命令キャッシュ1

Cache、この命令キャッシュ1 Cache にアドレスを供給するアドレスレジスタAIC、このアドレスレジスタAICの内容を更新するためのインクリメント+1、命令キャッシュ1 Cache からの命令を一旦格納するための命令バッファ1Bおよび命令キャッシュ1 Cache および命令バッファ1Bのうちどちらか一方からの命令を選択するためのセレクタ21を備えている。

オペランドアドレス生成(AC)ステージでは、セレクタ21で選択出力された変更後の命令を格納する命令レジスタIR20、この命令レジスタIR20からのアドレスまたはその値により索引されるアドレスを格納するためのレジスタBRおよびGR、およびこの命令レジスタIR20、レジスタBRおよびGRからの値を計算しアドレスを生成するためのアドレス演算器AD.ADDERが必要である。

アドレス変換(AT)ステージのためには、アドレス演算器AD.ADDERから与えられる論理アドレスを格納する論理アドレスレジスタLAR およびこの論理アドレスに反応して物理アドレスを読出した

めのアドレス変換バッファTLBが用意されている。

次にキャッシュアクセス(CA)ステージの処理のためアドレス変換バッファTLBから与えられる物理アドレスを格納するための物理アドレスレジスタPAR、この物理アドレスレジスタPARからのアドレス情報で指示される位置に主記憶装置8からのオペランドを格納し、格納されたオペランドを読出すためのオペランドキャッシュ0 Cache、レジスタ群BRおよびGR、更にこれらレジスタ群BRおよびGRからの内容を選択するためのセレクタ22が用意されている。

演算実行(EX)ステージのためには、演算を行うための演算器FLT.ADD、折合わせを行うためのシフトSHI、これら演算器FLT.ADD、シフトSHIおよびオペランドキャッシュ0 Cacheからの演算結果、演算中間結果およびオペランドを格納するための実行レジスタEXR、セレクタ22からの内容および演算器FLT.ADDアドレスおよびシフトSHIからの演算結果、演算中間結果を格納するた

めのレジスタREGISTER、実行レジスタEXR およびレジスタREGISTERからの情報を入力し、命令カウンタ15の更新指示を線101に出力する演算制御部1が設けられている。

結果格納(ST)ステージでは、演算器FLT.ADDおよびシフトSHIからの演算結果を格納するためのリードデータレジスタRDR 5の他、書込みアドレスをセットする書込アドレスレジスタWA2、このレジスタWA2からの書込みアドレスを+1増加させるためのインクリメンタ3、線102を介して与えられる命令終了フラグをセットするレジスタWF4、このレジスタWF4からのフラグを書込アドレスレジスタWA2で指示される位置に格納する命令終了フラグバッファWFB 6、線103を介して与えられるリードデータレジスタ5の内容を、レジスタWA2からのアドレスで指示される位置に格納するためのストアバッファ7、このストアバッファ7に対する読出アドレスを格納するための読出アドレスレジスタ9、この読出アドレスレジスタ9の内容を更新するためのインクリメンタ10、

またはそのままの出力を選択して格納するストアバッファ掃出しポインタ19を含む。

次に、本発明の一実施例の動作を第1図から第3図を参照して詳細に説明する。第1図および第2図を参照すると、サイクル1では主記憶装置8から命令キャッシュI Cacheに命令Aが格納される。命令Aは4ワード命令である。次にサイクル2では主記憶装置8から命令キャッシュI Cacheに命令Bが格納されるとともに命令Aは命令キャッシュI Cacheからセクタ21および命令レジスタIR20を介して加算器AD.ADDERでアドレス生成される。このようにして、命令A、BおよびCの処理は進められる。命令Bは2ワード命令であり、命令Cは1ワード命令である。

第1図から第3図を参照すると、サイクル6で読出データレジスタRDR 5に格納された命令Aに関する第1ワード目の演算結果はサイクル7で線103を介してストアバッファ7の1番地に格納される。

線101を介してIC更新指示が出力されてい

ストアバッファ7から主記憶装置8へのバッファ掃出しを制御するための指示信号を線105に出力するメモリアクセス制御部11、このメモリアクセス制御部11から線105を介して与えられる指示信号にตอบสนองしてストアバッファ7からの内容を線104を介して主記憶装置8へ送出するレジスタHAR 12、演算制御部1から線101を介して与えられる命令カウンタ更新指示信号にตอบสนองして、命令カウンタ更新の場合は“1”を命令終了フラグとして、また命令カウンタ更新でない場合は“0”を線102に出力する命令カウンタ(以下IC)更新制御回路13、命令カウンタ16、IC更新制御回路13から線102を介して与えられる信号にตอบสนองして命令カウンタ16からの値をセットするレジスタIC15、IC更新制御回路13からの信号を格納するレジスタWFI 17、このレジスタWFI 17および命令終了フラグバッファWFB 6からの出力のどちらか一方を選択する選択制御回路18、およびこの選択制御回路18からの信号にตอบสนองしてインクリメンタ23、デクリメンタ24、

いため、IC更新制御回路13から線102を介してレジスタWFI 17に格納された値“0”が、上述の命令Aの第1ワード目の演算結果のストアバッファ7への格納動作とともに、命令終了フラグバッファ6の対応するワードに“0”が格納される。

サイクル10で命令カウンタレジスタ15の内容が“A”から“B”に変化するとともに命令終了フラグバッファ4に“1”が格納され、インクリメンタ23が動作してストアバッファ掃出しポインタ19の内容が“0”から“1”に変化する。これはストアバッファ7内に掃出し可能なデータが1命令あることを示す。

メモリアクセス制御部11はストアバッファ掃出しポインタ19の値が“0”のときはストアバッファ7に掃出し可能なデータがないため、ストアバッファ7から主記憶装置8に対する掃出し動作を抑止する指示信号をレジスタ12に与える。いま、掃出しポインタ19の内容が“1”であるため、メモリアクセス制御部11はストアバッファ7の内容を線104を介して主記憶装置8に供給

するようレジスタ12に指示する。この指示に
 応答してレジスタ12はストアバッファ7から主記
 憶装置8に対して命令Aの命令単位の掃出しが開始
 される。

サイクル10において命令Aの第4ワード目の
 ストアバッファ7への格納が終了しサイクル11
 において命令Bの第1ワード目のストアバッファ
 7への格納動作が開始される。

サイクル12において命令カウンタレジスタ1
 5の内容が更新されると、これと同期して命令終
 了フラグバッファ6に“1”が格納される。この
 時命令Aの第3ワード目のストアバッファ7から
 主記憶装置8への掃出し動作が行なわれているた
 め、命令Bの命令単位を主記憶装置8に掃出すこ
 とができない。そこでストアバッファ掃出しポ
 インタ19の値は“1”から“2”にカウントアッ
 プされる。これは、ストアバッファ内に掃出し可
 能なストアデータが2命令分存在することを示す。

サイクル13において命令カウンタ16により
 命令カウンタレジスタ15の内容が“2”から

“3”に更新され、命令Cに関する演算結果が格
 納されると、これと同期して命令終了フラグバッ
 ファ6に値“1”が格納される。この時命令Aの
 第4ワード目がストアバッファ7から主記憶装置
 8に対して掃出されており、命令Cに関する演算
 結果を主記憶装置8に掃出すことはできない。

そこで、ストアバッファ掃出しポインタ19の
 値は“2”から“3”にカウントアップされ、ス
 トアバッファ7内に掃出し可能なストアデータが
 3命令分存在することを示している。

サイクル13において、命令Aの第4ワード目
 の演算結果の主記憶装置8への掃出しとともに命
 令終了フラグバッファ6から“1”が出力される
 と、サイクル14においてストアバッファ掃出し
 ポインタ19の内容のデクリメント24によるデ
 クリメントが行なわれ、ポインタ19の内容は
 “3”から“2”に変化する。この値“2”は、
 ストアバッファ7内に掃出し可能なストアデータ
 が2命令分存在することを示す。

サイクル14において、命令Bの第1ワード目

の演算結果の主記憶装置8への掃出し動作が開始
 され、サイクル15において、命令Bの第2ワー
 ド目の命令単位の主記憶装置8への掃出しが行な
 われる。命令終了フラグバッファ6から“1”が
 検出されるとストアバッファ掃出しポインタ19
 の値がデクリメント24によりデクリメント
 され“1”となる。これは、ストアバッファ7内
 に掃出し可能なストアデータが1命令分存在して
 いることを示している。

サイクル16において命令Cがストアバッファ
 7から掃出されると、命令終了フラグバッファ6
 から“1”が検出され、サイクル17においてス
 トアバッファ掃出しポインタ19の値がデクリメ
 ント24によりカウントダウンされ“0”となり、
 これはストアバッファ7に掃出し可能なデータが
 ないことを示している。

なお、命令終了フラグバッファ6は第3図に示
 すようなバッファ構造となっており、ストアデー
 タがストアバッファ7に書込まれるタイミングで
 命令カウンタレジスタ15の値が変更される時に

“1”が、それ以外の時には“0”が書込まれる。
 また、同一タイミングで命令終了フラグバッファ
 6にストアされるフラグが“1”ならば、ストア
 バッファ掃出しポインタ19の値がカウントアッ
 プされ、“0”ならばカウントアップされずにそ
 の時のポインタ19の値が保持される。

また、ストアバッファ7から主記憶装置8へ掃
 出すタイミングで命令終了フラグバッファ6の読
 出動作も行なわれる。読出された命令終了フラ
 グの値が“1”ならば、ストアバッファ掃出しポ
 インタ19の値がカウントダウンされ、命令終了フ
 ラグの値が“0”ならばカウントダウンされずに
 その時の掃出しポインタ19の値が保持される。

次に実行ステージにおける障害検出がなされた
 ときの動作について説明する。例えば、命令Aの
 サイクル7のEX(実行)ステージにおいて障害
 が検出されると、命令カウンタ16の更新、命令
 終了フラグバッファ6へのストア、ストアバッ
 ファ掃出しポインタ19の更新、およびストアバ
 ッファ7から主記憶装置8への命令Aの掃出しが抑

止され、命令Aからのリトライ（再試行）が指示される。

発明の効果

本発明はストア命令において発行されるストア要求に対して命令単位に命令終了フラグを付加することにより、主記憶装置8の書換えを命令の終了まで送らせる制御を行なうことができるという効果がある。

また、本発明はストアバッファ掃出しポインタ19を設けることにより、ストアバッファ7に格納された最も古い命令単位から主記憶装置8に掃出すことができ、結果としてリトライ率を向上できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図は本発明の一実施例の動作を説明するためのタイムチャート、第3図はストアバッファ、命令終了フラグバッファおよびストアバッファ掃出しポインタの関係を示す図、第4図はパイプライン処理を説明するための図、第5図は従来技術の一例を示

すためのタイムチャートである。

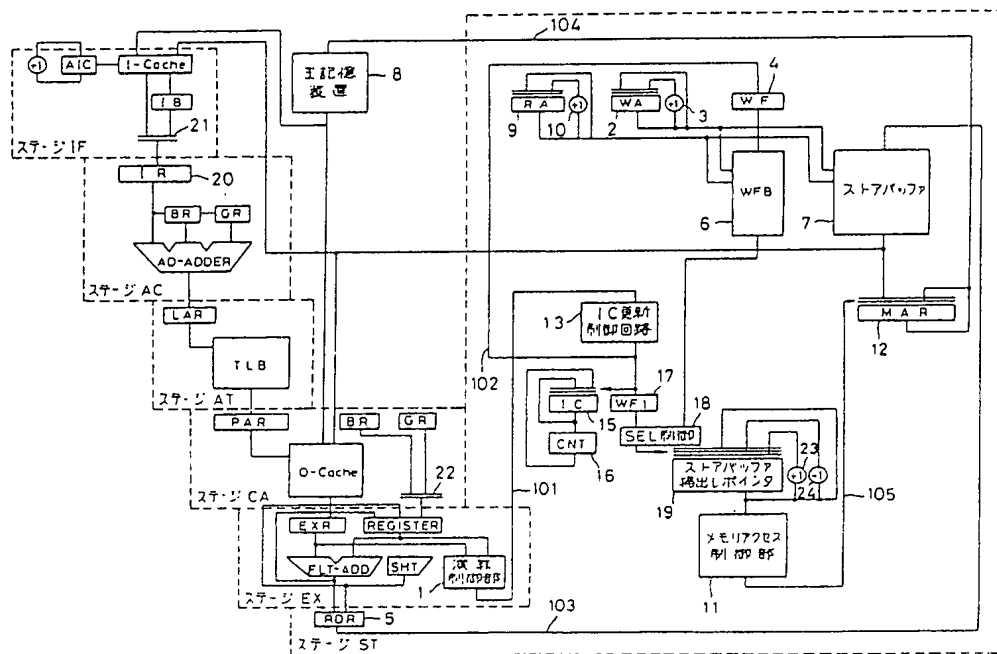
主要部分の符号の説明

- 1 …… 演算制御部
- 2 …… 書込アドレスレジスタ
- 3 …… リードデータレジスタ
- 6 …… 命令終了フラグバッファ
- 7 …… ストアバッファ
- 8 …… 主記憶装置
- 9 …… 読出アドレスレジスタ
- 11 …… メモリアクセス制御部
- 13 …… 命令カウンタ更新制御回路
- 15 …… 命令カウンタレジスタ
- 16 …… 命令カウンタ
- 18 …… 選択制御回路
- 19 …… ストアバッファ掃出しポインタ
- 20 …… 命令レジスタ

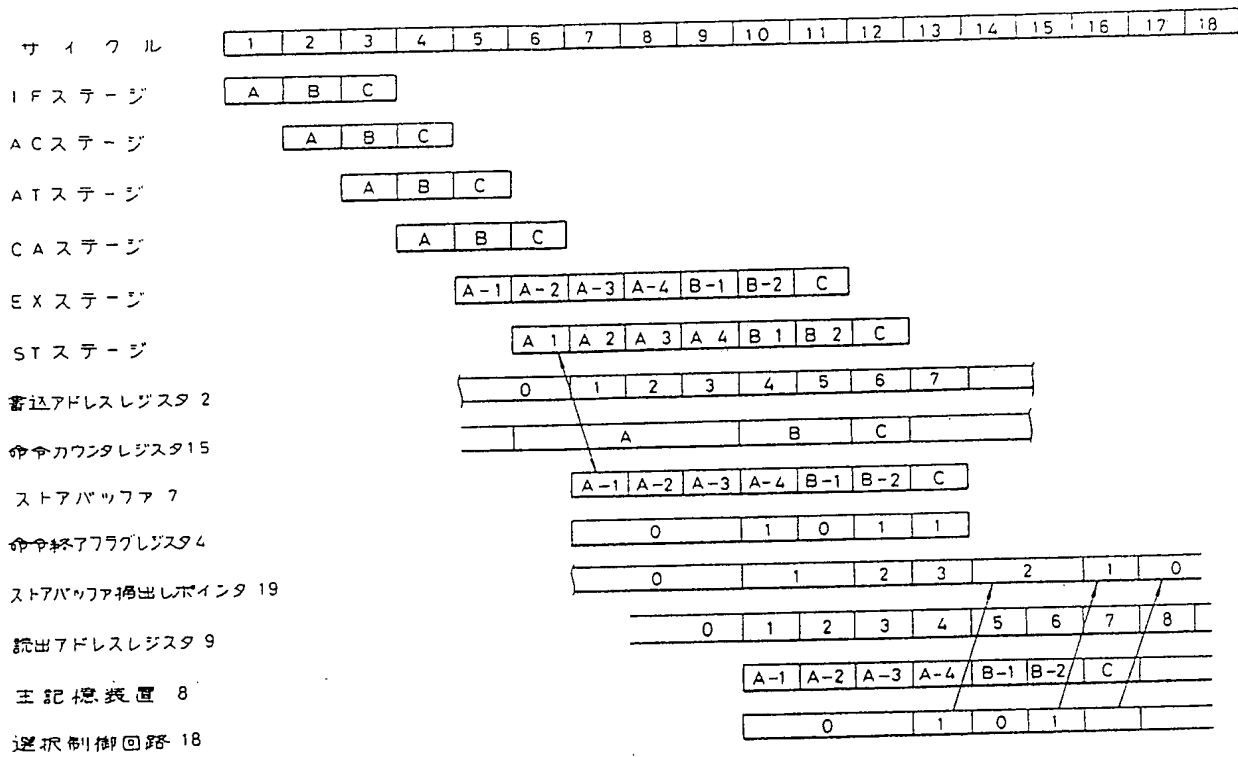
出願人 日本電気株式会社

代理人 弁理士 柳川 信

Fig. 1
第1図



第2図



第3図

